

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-070544
 (43)Date of publication of application : 11.03.1994

(51)Int.Cl. H02M 3/28
 G05F 1/56
 H02J 1/10

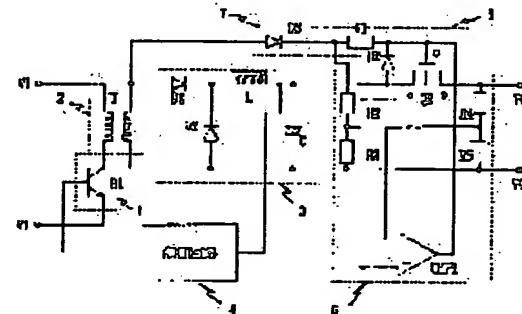
(21)Application number : 04-213103 (71)Applicant : FUJITSU LTD
 (22)Date of filing : 11.08.1992 (72)Inventor : HIRAHARA MINORU

(54) REVERSE CURRENT PREVENTIVE CIRCUIT FOR PARALLEL POWER SOURCE

(57)Abstract:

PURPOSE: To obtain a power source device for a parallel operation being small in size and having a high efficiency, by substituting low-loss FET for a diode-OR circuit for preventing a reverse current from a load output side in the parallel operation of a DC/DC converter or AC/AC converter power source.

CONSTITUTION: A DC/DC converter power source circuit is constructed of a switching transistor 1, a conversion transformer 2, a rectifying-smoothing circuit 3 and a control circuit 4, and a preventing circuit of a reverse current from a parallel power source is constructed of an input/output comparison circuit 5, FET 6 and an FET drive circuit 7. The input/output comparison circuit 5 compares an internal voltage obtained by dividing a voltage on the secondary side of the conversion transformer 2 by resistors R2 and R3 with an external voltage obtained by dividing a voltage on the load side by resistors R4 and R5, by a comparator CMP1. When an output terminal voltage rises due to abnormality of the power source connected in parallel in this constitution, the FET 6 is turned OFF by an output of the comparator CMP1 and thereby the power source circuit is separated from a parallel circuit.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

[of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-70544

(43)公開日 平成6年(1994)3月11日

(51)Int.Cl. ⁵	識別記号	府内整理番号	F I	技術表示箇所
H 02 M 3/28	W 8726-5H			
G 05 F 1/56	3 10 V 4237-5H			
H 02 J 1/10	7373-5G			

審査請求 未請求 請求項の数1(全6頁)

(21)出願番号 特願平4-213103

(22)出願日 平成4年(1992)8月11日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 平原 実

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 井桁 貞一

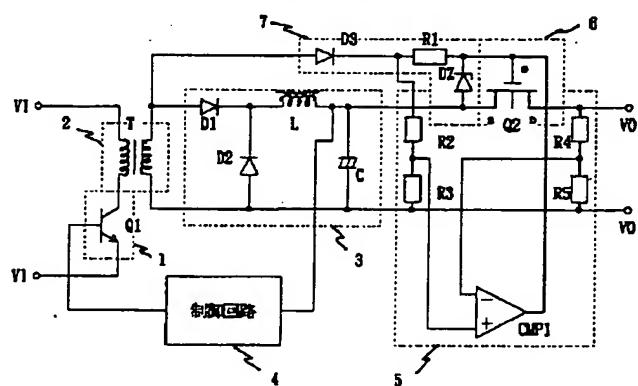
(54)【発明の名称】並列電源逆流防止回路

(57)【要約】

【目的】DC/DCコンバータ又はAC/DCコンバータ電源の並列運転に関し、負荷出力側からの逆流防止用のダイオードオア回路を低損失FETに取替えることを目的とする。

【構成】スイッチングトランジスタ1と変換トランジスト2と整流平滑回路3と制御回路4よりなるDC/DCコンバータ電源回路の並列運転において、FET6のソースとドレイン間のオンオフによる並列電源からの逆流防止回路と、変換トランジスト2の2次側の電圧を抵抗分圧した内部電圧と、電源装置の負荷側の電圧を抵抗分圧した外部電圧とを比較する入出力比較回路5と、変換トランジスト2とFET6のゲートとの間をダイオードと抵抗とで接続し、FET6のゲートとソースとの間をツエナーダイオードで接続するFET駆動回路7とを設け、FET6はゲートがスレッシュホールド電圧以上になればソースとドレイン間をオンし、スレッシュホールド電圧以下になればソースとドレイン間をオフするように構成する。

本発明の原理構成図



【特許請求の範囲】

【請求項1】 DC/DCコンバータ電源回路の並列運転において、

FET(6)のソースとドレイン間のオンオフによる並列電源からの逆流防止回路と、変換トランス(2)の2次側の電圧を抵抗分圧した内部電圧と、電源装置の負荷側の電圧を抵抗分圧した外部電圧とを比較する入出力比較回路(5)と、変換トランス(2)の2次側線側とFET(6)のゲートとの間をダイオードと抵抗とで接続し、FET(6)のゲートとソースとの間をツェナーダイオードで接続するFET駆動回路(7)とを設け、FET(6)はゲートがスレッシュホールド電圧以上になればソースとドレイン間をオンし、スレッシュホールド電圧以下になればソースとドレイン間をオフすることを特徴とする並列電源逆流防止回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はDC/DCコンバータ又はAC/DCコンバータ電源の並列運転における負荷出力側のダイオードオア回路の改良に関する。交換機等に使用される電源は、出力側の負荷容量に応じて複数の電源を並列に接続して負荷に供給している。このとき、並列に接続された複数の電源の障害対策として予備の電源を更に1台付加している。

【0002】 例えば、交換機用の電源は48V直流電源をDC/DCコンバータにより±5Vや-2Vの直流電源に変換して、LSI等の電子回路に供給している。その際、負荷容量が10Aの場合には電源装置として10A容量電源を2台並列に接続したり、5A容量電源を3台並列に接続したりして使用し、そのうち1台は予備電源として機能し、主電源障害時や電源交換時に負荷側に影響を与えないように機能している。

【0003】 以上のように並列接続された電源においては、出力側からの逆流防止用としてダイオードを互いに並列に接続し、ダイオードオア回路として障害の発生や復旧時の相手側電源への回り込みや、規格以上に出力電圧が上昇した場合の過電圧保護回路による相手側への影響等を防止している。従って、並列電源の運転のためにダイオードオア回路が必要不可欠になっている。

【0004】

【従来の技術】 従来の並列運転電源の接続構成図を図4に示す。図において、21はDC/DC電源#1、22はDC/DC電源#2、23はスイッチングトランジスタ、24は変換トランス、25は整流平滑回路、26は制御回路、27はダイオードオア回路を示す。DC/DC電源#1と#2とは同一の回路構成をなし、ダイオードオア回路26がそれぞれ逆流防止用として挿入されている。

【0005】 DC/DC電源#1において、入力電源48

Vをスイッチングトランジスタ23のオンオフにより脈流化し、変換トランス24により降圧した出力を整流平滑回路25により直流電圧に変換して負荷側に±5Vを供給する。出力電圧は制御回路26によりフィードバックされてスイッチングトランジスタ23のオンオフ比を調節し、出力電圧が規格内に入るように自動的に調整することができる。

【0006】 ダイオードオア回路27は、並列運転される他方の電源の出力が上昇した場合、その影響で自分自身の電源が過電圧検出しないようにするためにと、負荷装置が動いている状態で並列運転の電源を装着に挿入しても突入電流が流れないように防止するためのものである。これに使用するオアダイオードD3は、電源装置が5V10Aであったとすると、オアダイオードで消費される電力は $0.5V \times 10A = 5W$ となり、出力電力の1/10にも達する。

【0007】

【発明が解決しようとする課題】 従来の逆流防止用のダイオードオア回路に使用されるダイオードは、電源供給時の電圧降下が出力電圧の数%に達し、これをカバーするために更に出力電圧を大きくしなければならず、電源の変換効率を悪化させる要因となっている。また、ダイオードの電圧降下損失による放熱が必要となり、ダイオード素子が大きくなるという問題がある。

【0008】 本発明は、ダイオードオア回路のダイオード素子をオン抵抗 $10m\Omega$ という低損失FETに替えることにより、小型/高能率の並列運転用の電源装置を実現することを目的とする。

【0009】

【課題を解決するための手段】 本発明の原理構成図を図1に示す。図において、1はスイッチングトランジスタ、2は変換トランス、3は整流平滑回路、4は制御回路、5は入出力比較回路、6はFET、7はFET駆動回路を示す。スイッチングトランジスタ1と変換トランス2と整流平滑回路3と制御回路4とは、DC/DCコンバータ電源回路を構成し、入出力比較回路5とFET6とFET駆動回路7とは、並列電源からの逆流防止回路を構成する。

【0010】 入出力比較回路5は、変換トランス2の2次側の電圧を抵抗R2とR3により分圧した内部電圧と、電源装置の負荷側の電圧を抵抗R4とR5により分圧した外部電圧とを比較器CMP1により比較し、内部電圧が外部電圧より大きくなれば比較器CMP1の出力が“H”になり、内部電圧が外部電圧より小さくなれば比較器CMP1の出力が“L”になる。

【0011】 FET駆動回路7は、変換トランス2とFET6のゲートとの間をダイオードD3と抵抗R1とで接続し、FET6のゲートとソースとの間をツェナーダイオードDZで接続する。FET6のソースは整流平滑回路3と制御回路4に接続し、FET6のドレインは出力端子

と接続する。FET6はゲートが“H”になりFET6のスレッシュホールド電圧以上になればソースとドレイン間がオンし、ゲートが“L”になりスレッシュホールド電圧以下になればソースとドレイン間はオフするように構成する。

【0012】

【作用】電源回路が正常に動作している場合は、内部電圧は外部電圧より高いため入出力比較回路5の電圧比較器CMP1によりFET6のゲートには常時“H”的制御電圧がかかっており、FET6のソースとドレイン間はオン状態になり、整流平滑回路3と出力端子とは接続状態になっており、自分自身の過電圧を検出しても過電圧保護回路により調節できる。

【0013】並列接続された電源により動作している装置に新たに電源を挿入する場合、その電源が未だ動作していないので変換トランス2の2次側には電圧が誘起されておらず、従ってFET6のゲートには電圧がかかっておらず“L”であるため、FET6はオフとなり、電源挿入時に並列電源装置から整流平滑回路3のコンデンサCへの突入電流を防止する。

【0014】並列接続している電源の異常により出力端子電圧が上昇した場合、入出力比較回路5の電圧比較器CMP1により内部電圧と外部電圧の比較が行われ、外部電圧が一定以上の電圧と判断したとき、FET6のゲートを引き抜くため“L”となりFET6はオフとなる。従って動作中の電源回路は並列電源回路から分離され、自分自身の内部には高い電圧は印加されないですむ。

【0015】

【実施例】本発明の並列電源回路の実施例を図2に示す。図において、11はDC/DC電源#1、12はDC/DC電源#2、13はスイッチングトランジスタ、14は変換トランス、15は整流平滑回路、16は制御回路、17は入出力比較回路、18はFET、19はFET駆動回路を示す。DC/DC電源#1と#2とは同一の回路構成をなし、FET18が従来のダイオードオア回路の代わりに逆流防止用として挿入されている。

【0016】DC/DC電源#1において、入力電源48Vをスイッチングトランジスタ13のオンオフにより脈流化し、変換トランス14により降圧した出力を整流平滑回路15により直流電圧に変換して負荷側に±5Vを供給する。出力電圧は制御回路16によりフィードバックされてスイッチングトランジスタ13のオンオフ比を調節し、出力電圧が規格内に入るように自動的に調整することができる。

【0017】入出力比較回路17とFET18とFET駆動回路19は、並列運転される他方の電源の出力が上昇した場合、その影響で自分自身の電源が過電圧検出しないよ

うにするためと、負荷装置が動いている状態で並列運転の電源を装置に挿入しても突入電流が流れないように防止するためのものである。これに使用するFET18はオン抵抗値 $10m\Omega$ という低損失のFETを使用し、FETのオン時における電圧降下が少なく、ダイオードを使用するときより小型／高能率が実現出来る。

【0018】入出力比較回路17の内部電圧を引き出すための抵抗R2とR3は、変換トランス14の2次側にFET駆動回路19のダイオードD3を介して接続され、抵抗R1とダイオードD3を介して整流平滑回路15のインダクタンスLの出側とも接続されているが、ダイオードD3により逆流は防止されている。ツエナーダイオードD2はダイオードD3側からの入力電圧上昇を阻止し、FET18のゲートとソース間の電圧 V_{GS} に規定以上の電圧がかからないようしている。

【0019】FETのゲートとソース間の電圧 V_{GS} と入力電圧 V_{D3} とツエナーダイオードの限界電圧 V_{DZ} との関係を図3に示す。入力電圧 V_{D3} が上昇するとFETのゲートとソース間の電圧 V_{GS} も対応して上昇するが、ツエナーダイオードD2の限界電圧 V_{DZ} に達すると電圧 V_{GS} は上昇を停止し、入力電圧 V_{D3} が上昇してもそれ以上は上がらないように阻止する。従って、電源が動作中はFET18はオンを続けるが、スレッシュホールド電圧以下の電圧が比較器CMP1の出力側からかかれればゲート電圧によりFET18はオフする。

【0020】

【発明の効果】従来ダイオードで構成されていたダイオードオア回路を低損失のFETを使用することにより、並列電源装置における逆流防止回路を小型／高能率化することが可能になる。

【図面の簡単な説明】

【図1】 本発明の原理構成図

【図2】 実施例の接続構成図

【図3】 FETのゲートとソース間電圧と入力電圧との関係図

【図4】 従来例の接続構成図

【符号の説明】

1, 13, 23 スイッチングトランジスタ

2, 14, 24 変換トランス

3, 15, 25 整流平滑回路

4, 16, 26 制御回路

5, 17 入出力比較回路

6, 18 FET

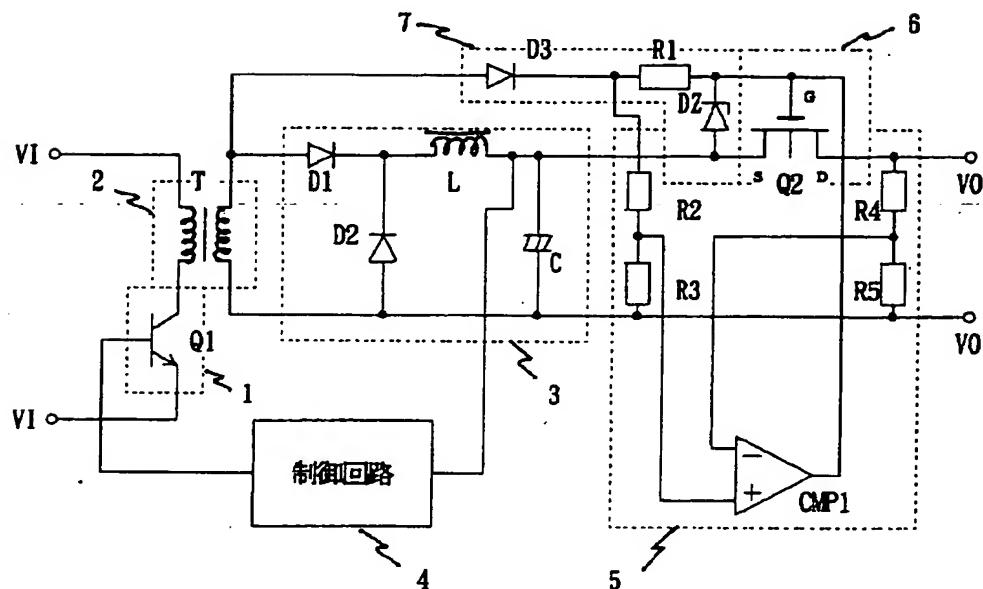
7, 19 FET駆動回路

11, 12, 21, 22 DC/DC電源

27 ダイオードオア回路

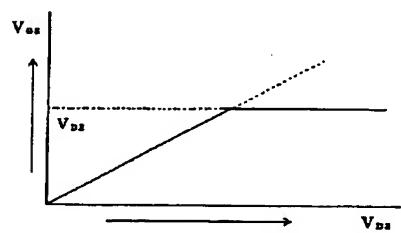
【図1】

本発明の原理構成図



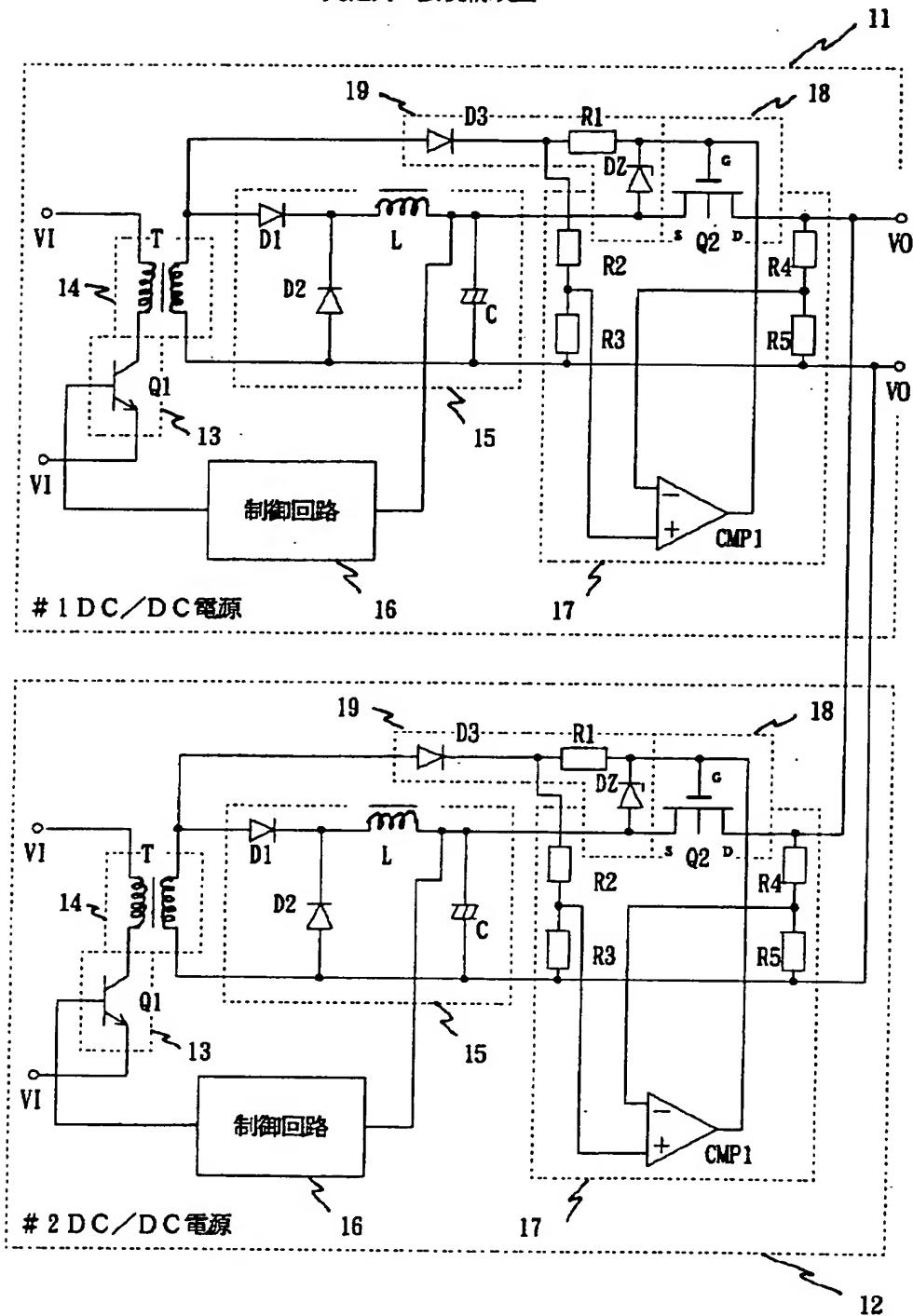
【図3】

FETのゲートとソース駆動圧と入力電圧との関係図



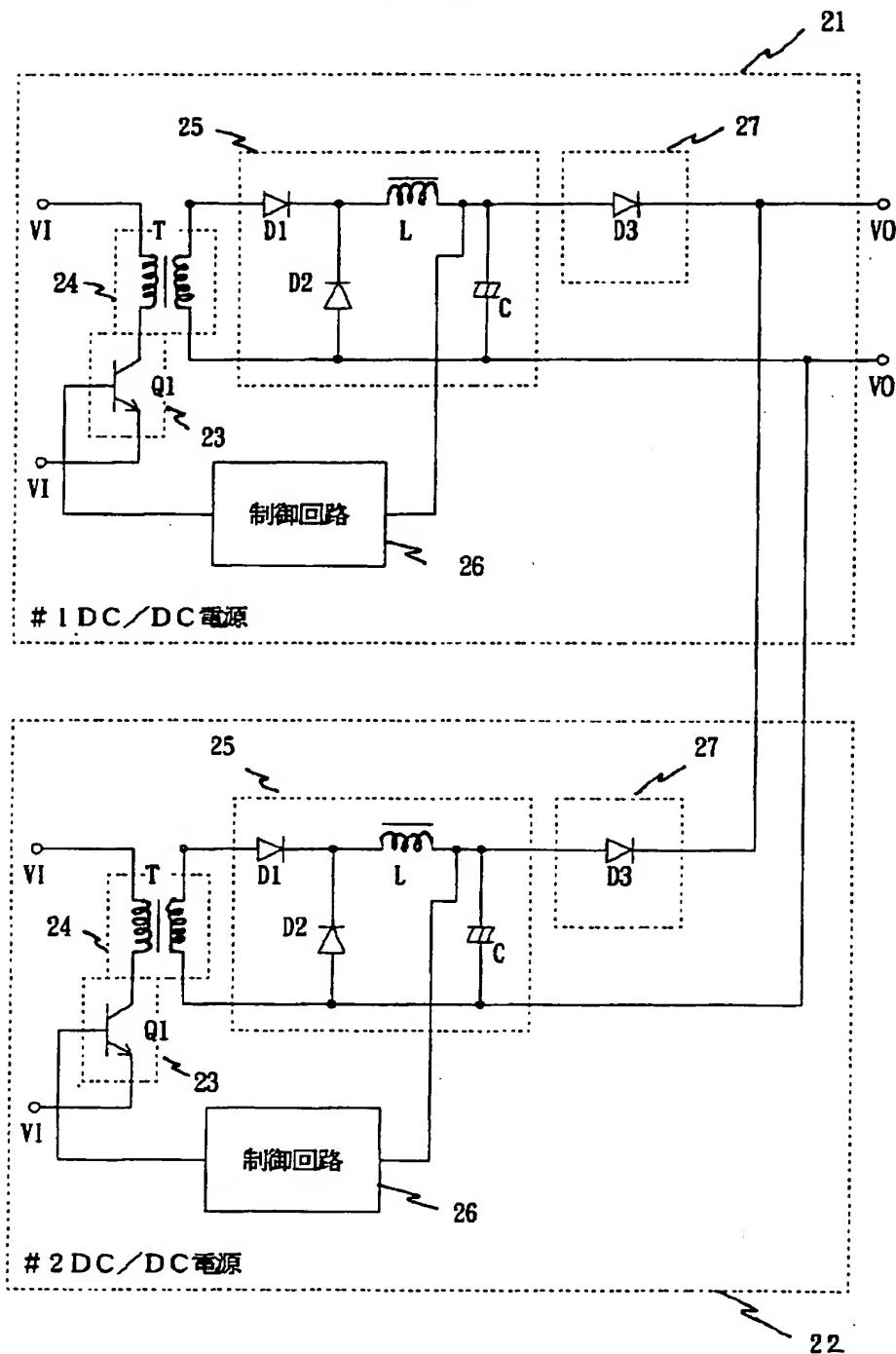
【図2】

実施例の接続構成図



【図4】

従来例の接続構成図



22